

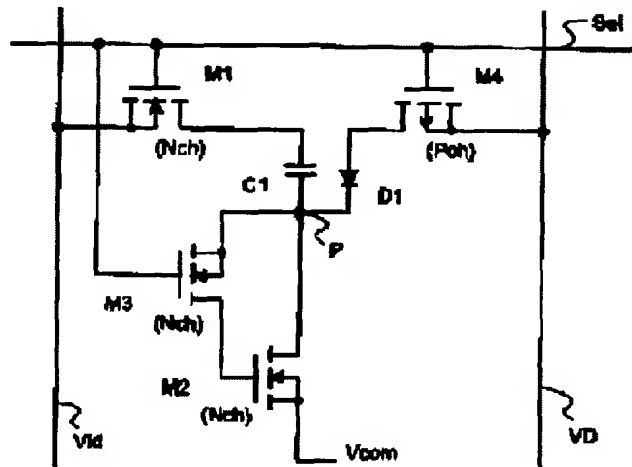
# PICTURE DISPLAY DEVICE

**Patent number:** JP2001056667  
**Publication date:** 2001-02-27  
**Inventor:** TAKAYAMA ICHIRO  
**Applicant:** TDK CORP  
**Classification:**  
 - international: **G09G3/20; G09G3/30; H05B33/14;**  
**G09G3/20; G09G3/30; H05B33/14; (IPC1-**  
**7): H05B33/14; G09G3/30; G09G3/20**  
 - european:  
**Application number:** JP19990231493 19990818  
**Priority number(s):** JP19990231493 19990818

Report a data error here

## Abstract of JP2001056667

**PROBLEM TO BE SOLVED:** To eliminate the adverse effect of characteristic fluctuation caused by polysilicon grain diameters and to reduce the fluctuation of the display surface. **SOLUTION:** The device has a second switching element M2 which is connected to a display element D1 and directly drives the element D1, a third switching element M3 which becomes in an active state by selection signals Sel and connects one of terminals to be controlled (drains) and a control terminal (a gate) of the element M2, and a first switching element M1 which becomes in an active state by the signal Sels and forms an electrically conductive path to provide driving signals to other terminals to be controlled (a drain) of the element M2. During a selecting period, the elements M2 and M3 form a self bias circuit. Moreover, a driving current storage means (a capacitive component C1 between the elements M1 and M2) is provided to give driving signals corresponding to driving current for the element M2, hold the signals as the operating voltage of the element M2 in accordance with the characteristic of the element M2 during a non-selecting period and drives the element D1.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-56667

(P2001-56667A)

(43)公開日 平成13年2月27日(2001.2.27)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 2 4	3/20	6 2 4 B 5 C 0 8 0
// H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21)出願番号 特願平11-231493

(22)出願日 平成11年8月18日(1999.8.18)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 高山 一郎

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(74)代理人 100082865

弁理士 石井 陽一

Fターム(参考) 3K007 AB03 BA06 BB07 CA02 DA00

DB03 EB00 FA01 FA03

5C080 AA06 BB05 DD30 EE29 FF11

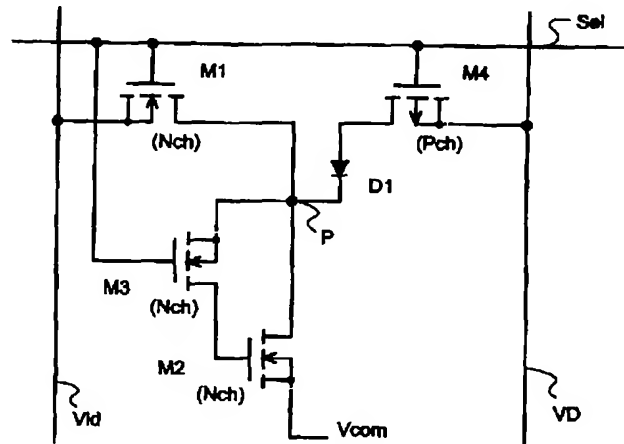
JJ02 JJ03 JJ05 JJ06

(54)【発明の名称】 画像表示装置

(57)【要約】

【課題】 Poly-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善する。

【解決手段】 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置とした。



【特許請求の範囲】

【請求項1】 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、  
選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、  
選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、  
選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、  
非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置。

【請求項2】 前記表示素子は、電流駆動され、この駆動電流に応じた発光を行う請求項1の画像表示装置。

【請求項3】 前記駆動信号は、駆動電流に応じた電流信号として与えられ、かつこれを第2のスイッチング素子の被制御端子に与えることにより、そのI/V特性から得られた電圧値を保持する請求項1または2の画像表示装置。

【請求項4】 前記発光素子と接続され、選択信号により禁止状態となり、非選択時に前記発光素子を電源と接続する第4のスイッチング素子を有する請求項1～3のいずれかの画像表示装置。

【請求項5】 前記第1のスイッチング素子と第2のスイッチング素子との間には駆動信号を電圧/電流変換するための容量成分を有し、  
前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分によりこの駆動信号を電圧/電流変換して第2のスイッチング素子に与える請求項1～4のいずれかの画像表示装置。

【請求項6】 前記駆動信号は、前記表示素子の駆動電流に対応した増加率を有するのこぎり波状の形である請求項5の画像表示装置。

【請求項7】 前記表示素子と電源との間に配置され、選択信号により禁止状態となり、非選択時に表示素子と電源とを接続する第4のスイッチング素子を有する請求項5または6のいずれかの画像表示装置。

【請求項8】 その制御端子が選択線Selに接続されるとともに、被制御端子の一端が表示素子の一端と、第3のスイッチング素子の被制御端子の他端と、第2のスイッチング素子の被制御端子の一端とに接続され、その被制御端子の他端が駆動信号を与えるビデオ信号線と接続されている第1のスイッチング素子と、  
その制御端子が選択線と接続され被制御端子の一端が第2のスイッチング素子の制御端子と接続され、その被制

御端子の他端が前記第1のスイッチング素子の被制御端子の一端と、表示素子の一端と、第2のスイッチング素子の被制御端子の一端とに接続されている第3のスイッチング素子と、

その被制御端子の他端が、接地線に接続され、その被制御端子の一端が、表示素子の一端と、第3のスイッチング素子の被制御端子の他端と、第1のスイッチング素子の被制御端子の一端とに接続されている第2のスイッチング素子と、

その制御電極が選択線と接続され、被制御端子の一端が表示素子の他端と接続され、その他端は電源線と接続されている第4のスイッチング素子と、  
これらのスイッチング素子により駆動される表示素子とを有する画像表示装置。

【請求項9】 その制御端子が選択線に接続されるとともに、被制御端子の一端が容量の一端に接続され、その被制御端子の他端は、駆動信号を与えるビデオ信号線と接続されている第1のスイッチング素子と、

その制御端子が、選択線と接続され、被制御端子の他端は、容量の他端と、第4のスイッチング素子の被制御端子の他端と、第2のスイッチング素子の被制御端子の一端と接続され、その被制御端子の一端は、第2のスイッチング素子の制御端子と接続されている第3のスイッチング素子と、

その被制御端子の他端は、電源線と接続され、その被制御端子の一端は、第3のスイッチング素子の被制御端子の他端と、容量の他端と、第4のスイッチング素子の被制御端子の他端と接続されている第2のスイッチング素子と、

その被制御端子の他端は、第3のスイッチング素子の被制御端子の他端と、容量の他端と、第2のスイッチング素子の被制御端子の一端と接続され、その制御電極は、選択線と接続され、その被制御端子の一端は、表示素子の他端と接続されている第4のスイッチング素子と、  
その一端が、接地線と接続され、これらのスイッチング素子により駆動される表示素子とを有する画像表示装置。

【請求項10】 前記第1のスイッチング素子～第3のスイッチング素子はポリシリコンTFTである請求項1ないし9のいずれかの画像表示装置。

【請求項11】 前記表示素子は、有機EL素子である請求項1～10のいずれかの画像表示装置。

【請求項12】 前記選択線から選択信号を入力している期間にビデオ信号線から駆動信号を入力し、非選択時に表示素子を駆動する請求項1～11のいずれかの画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像表示装置に関し、特に有機エレクトロルミネセンス（EL）表示装置

に好適な、高画質の画像表示装置に関する。

#### 【0002】

【従来の技術】近年において、有機EL素子を用いた表示装置が開発されている。有機EL素子を多数使用した有機EL素子装置をアクティブマトリックス回路により駆動する場合、各ELのピクセル（画素）には、このピクセルに対して供給する電流を制御するための薄膜トランジスタ（TFT）の如きFET（電界効果トランジスタ）が一組ずつ接続されている。すなわち有機EL素子に駆動電流を流すバイアス用のTFTと、そのバイアス用TFTを選択すべきかを示すスイッチ用のTFTが一組ずつ接続されている。

【0003】従来のアクティブマトリックス型の有機EL表示装置の回路図の一例を図17、18に示す。この有機EL表示装置は、X方向信号線X1、X2…、Y方向信号線Y1、Y2…、電源V<sub>dd</sub>線V<sub>dd1</sub>、V<sub>dd2</sub>…、スイッチ用TFTトランジスタT<sub>y11</sub>、12、T<sub>y21</sub>、22…、電流制御用TFTトランジスタM<sub>11</sub>、12、M<sub>21</sub>、22…、有機EL素子EL<sub>110</sub>、120、EL<sub>210</sub>、220…、コンデンサC<sub>11</sub>、12、C<sub>21</sub>、22…、X方向周辺駆動回路12、Y方向周辺駆動回路13等により構成される。

【0004】X方向信号線X1、X2、Y方向信号線Y1、Y2により画素が特定され、その画素においてスイッチ用TFTトランジスタT<sub>y11</sub>、12、T<sub>y21</sub>、22がオンにされてその信号保持用コンデンサC<sub>11</sub>、12、C<sub>21</sub>、22に画像データが保持される。これにより、電流制御用のTFTのTFTトランジスタM<sub>11</sub>、12、M<sub>21</sub>、22がオンにされ、電源線V<sub>dd1</sub>、V<sub>dd2</sub>により有機EL素子EL<sub>110</sub>、120、EL<sub>210</sub>、220に画像データに応じたバイアス用の電流が流れ、これが発光される。

【0005】例えばx方向信号線X1に画像データに応じた信号が出力され、Y方向信号線Y1にY方向走査信号が出力されると、これにより特定された画素のスイッチ用TFTトランジスタT<sub>y11</sub>がオンになり、画像データに応じた信号により電流制御用TFTトランジスタM<sub>11</sub>が導通されて有機EL素子EL<sub>110</sub>に、この画像データに応じた発光電流が流れ、発光制御される。このように、画素毎に、薄膜型のEL素子と、前記EL素子の発光制御用の電流制御用TFTトランジスタと、前記電流制御用TFTトランジスタのゲート電極に接続された信号保持用のコンデンサと、前記キャパシタへのデータ書き込み用のスイッチ用のTFTトランジスタ等を有するアクティブマトリックス型EL画像表示装置において、EL素子の発光強度は、信号保持用のキャパシタに蓄積された電圧によって制御された発光電流制御用の非線形素子であるTFTトランジスタに流れる電流で決定される(A66-in 201pi Electroluminescent Display T. P. Brody, F. C. Luo, et. al, IEEE Trans Electron Devices,

Vol. ED-22, No. 9, Sep. 1975, P739~P749参照)。

【0006】このとき、使用される信号保持用のコンデンサの容量は、微少な選択時間内で画素スイッチTFTトランジスタが十分に電荷を充電できる容量以下であり、また、この画素スイッチTFTトランジスタの非選択時のリーク電流が次の書き込み時間まで失わせる電荷により発生するコンデンサの保持電圧の低下が表示パネルの画像に悪影響を与えない容量以上であることが求められる。

【0007】ところで、アクティブマトリックスの表示装置は、その視認性から拡大投影を行う光学系を用いない場合は、4インチ以上の画角が要求される。

【0008】このサイズの表示面をシリコン単結晶基板上に構成することは、現在の単結晶Si基板の製作技術では1枚の単結晶基板から得られる枚数が非常に少ないため大変コストがかかってしまう。

【0009】そこで、アクティブマトリックスの表示装置では、ガラス基板等の平面基板上に作成した非単結晶Si等の半導体層を用いた薄膜トランジスタ（TFT）を使用することが望ましい。

【0010】ところで、平面基板上に形成される半導体層は大面積のものが比較的容易に成膜できることから、アモルファスSi膜（以下a-Si膜という）を用いることが一般的である。

【0011】しかし、a-Si膜で形成されたTFTは、一方向に定常的に電流を流し続けると、しきい値がドリフトとして電流値が変わり、画質に変動が生ずる。しかも、a-Si膜では移動度が小さいため高速応答でドライブできる電流にも限界があり、またPチャネルの形成が困難なところより、小規模なc-MOS回路の構成さえも困難である。

【0012】そのため、アクティブマトリックス型有機EL画像表示装置の半導体層としては、比較的大面積化が容易でかつ高信頼性で移動度も高く、CMOS回路の形成も可能なPoly-Siを用いることが望ましい。

【0013】ところで、Poly-Si層を用いて形成されたTFTは、そのチャネル中に存在する結晶粒界の数によりトラップ準位密度が変化し、これが特性に影響を与える。そのためチャネル長、又はチャネル幅が結晶の粒径に近づくにつれチャネル中に存在する粒界の数の変動の割合が大きくなる。これはチャネル中のトラップ準位密度の変動割合の増大、ひいてはTFTの特性ばらつきの増大を引き起こす。このTFTの特性ばらつきの増大は表示装置の画質の低下を引き起こすので望ましくない。

#### 【0014】

【発明が解決しようとする課題】本発明の目的は、Poly-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善することである。

#### 【0015】

【課題を解決するための手段】すなわち、上記目的は以下の構成により達成される。

(1) 表示素子と接続され、これを直接駆動する第2のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の一方の被制御端子と制御端子とを接続する第3のスイッチング素子と、選択信号により能動状態となり、前記第2のスイッチング素子の他方の被制御端子に駆動信号を与える導通路を形成する第1のスイッチング素子とを有し、選択時に前記第2のスイッチング素子と第3のスイッチング素子とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子の特性に応じた第2のスイッチング素子の動作電圧として保持して前記表示素子を駆動する駆動電流記憶手段を有する画像表示装置。

(2) 前記表示素子は、電流駆動され、この駆動電流に応じた発光を行う上記(1)の画像表示装置。

(3) 前記駆動信号は、駆動電流に応じた電流信号として与えられ、かつこれを第2のスイッチング素子の被制御端子に与えることにより、その $I/V$ 特性から得られた電圧値を保持する上記(1)または(2)の画像表示装置。

(4) 前記発光素子と接続され、選択信号により禁止状態となり、非選択時に前記発光素子を電源と接続する第4のスイッチング素子を有する上記(1)～(3)のいずれかの画像表示装置。

(5) 前記第1のスイッチング素子と第2のスイッチング素子との間には駆動信号を電圧/電流変換するための容量成分を有し、前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分によりこの駆動信号を電圧/電流変換して第2のスイッチング素子に与える上記(1)～(4)のいずれかの画像表示装置。

(6) 前記駆動信号は、前記表示素子の駆動電流に対応した増加率を有するのこぎり波状の形である上記

(5)の画像表示装置。

(7) 前記表示素子と電源との間に配置され、選択信号により禁止状態となり、非選択時に表示素子と電源とを接続する第4のスイッチング素子を有する上記(5)または(6)のいずれかの画像表示装置。

【0016】(8) その制御端子が選択線Selに接続されるとともに、被制御端子の一端が表示素子の一端と、第3のスイッチング素子M3の被制御端子の他端と、第2のスイッチング素子M2の被制御端子の一端とに接続され、その被制御端子の他端が駆動信号を与えるビデオ信号線Vidと接続されている第1のスイッチング素子M1と、その制御端子が選択線Selと接続され被制御端子の一端が第2のスイッチング素子M2の制御端子と接続され、その被制御端子の他端が前記第1のスイッチング素子M1の被制御端子の一端と、表示

素子D1の一端と、第2のスイッチング素子M2の被制御端子の一端とに接続されている第3のスイッチング素子M3と、その被制御端子の他端が、接地線Vcomに接続され、その被制御端子の一端が、表示素子D1の一端と、第3のスイッチング素子M3の被制御端子の他端と、第1のスイッチング素子M1の被制御端子の一端とに接続されている第2のスイッチング素子と、その制御電極が選択線Selと接続され、被制御端子の一端が表示素子D1の他端と接続され、その他端は電源線VDと接続されている第4のスイッチング素子M4と、これらのスイッチング素子M1～M4により駆動される表示素子D1とを有する画像表示装置。

【0017】(9) その制御端子が選択線Selに接続されるとともに、被制御端子の一端が容量C1の一端に接続され、その被制御端子の他端は、駆動信号を与えるビデオ信号線Vidと接続されている第1のスイッチング素子M1と、その制御端子が、選択線Selと接続され、被制御端子の他端は、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端と、第2のスイッチング素子M2の被制御端子の一端と接続され、その被制御端子の一端は、第2のスイッチング素子M2の制御端子と接続されている第3のスイッチング素子M3と、その被制御端子の他端は、電源線VDと接続され、その被制御端子の一端は、第3のスイッチング素子M3の被制御端子の他端と、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端と接続されている第2のスイッチング素子M2と、その被制御端子の他端は、第3のスイッチング素子M3の被制御端子の他端と、容量C1の他端と、第2のスイッチング素子M2の被制御端子の一端と接続され、その制御電極は、選択線Selと接続され、その被制御端子の一端は、表示素子D1の他端と接続されている第4のスイッチング素子M4と、その一端が、接地線Vcomと接続され、これらのスイッチング素子により駆動される表示素子D1とを有する画像表示装置。

(10) 前記第1のスイッチング素子～第3のスイッチング素子はポリシリコンTFTである上記(1)ないし(9)のいずれかの画像表示装置。

(11) 前記表示素子は、有機EL素子である上記(1)～(10)のいずれかの画像表示装置。

(12) 前記選択線から選択信号を入力している期間にビデオ信号線から駆動信号を入力し、非選択時に表示素子を駆動する上記(1)～(11)のいずれかの画像表示装置。

【0018】なお、特開平10-319908号公報には、アクティブマトリクス有機発光ダイオードを駆動するための回路が記載されている。しかしながら、同公報で開示されている実施例の回路構成では、所望の電流を流そうとした時に必要になるバイアスTFTのゲート電圧を画素外に設けた電流発生回路によってセンスおよび

反転増幅し、これを画素中の容量に再び蓄積している。電流値のセンスにはソースフォロア回路を用いている（請求項2）。

【0019】すなわち、上記公報ではこの画素外に設けた電流発生回路によってセンスおよび反転増幅し、これを画素中の容量に蓄積しているため、書き込み非選択インターバル、書き込み選択インターバル、発光インターバルという複雑なシーケンスが必要になり、そのためのタイミング回路が必要になる。また外部に必要なセンスおよび反転増幅する回路が必要になり、これもコストを上昇させてしまう。また非選択インターバルが必要なことにより発光時間が短くなり、画質を低下させてしまう。

【0020】一方、本願発明では、バイアスTFTのゲートをドレインに接続し、これに所望の電流値を入力する自己バイアス回路を構成する事により、外部のセンスおよび反転増幅回路を省く事が可能である。これによって、実施例1、2、4、5のような構成の場合には、ごくわずかな書き込み時間と非書き込み時間の2つの動作で制御を行うことができる。このことにより、所望の輝度での発光時間を長く取る事を可能にし、高輝度、高画質の表示を可能にしている。

【0021】また、複雑なシーケンスを発生するタイミング回路も省くことを可能にしている。本願の実施例3および6においては、上記公知例と同様な3つの動作態様を必要とするが、センスおよび反転増幅回路を省くことは可能である。

#### 【0022】

【発明の実施の形態】本発明の画像表示装置は、例えば図1に示すように、表示素子D1と接続され、これを直接駆動する第2のスイッチング素子M2と、選択信号Selにより能動状態となり、前記第2のスイッチング素子M2の一方の被制御端子（ドレイン）と制御端子（ゲート）とを接続する第3のスイッチング素子M3と、選択信号Selにより能動状態となり、前記第2のスイッチング素子M2の他方の被制御端子（ドレイン）に駆動信号を与える導通路を形成する第1のスイッチング素子M1とを有し、選択時に前記第2のスイッチング素子M2と第3のスイッチング素子M3とでセルフバイアス回路を形成し、かつこの第2のスイッチング素子M2に駆動電流に対応した駆動信号を与え、非選択時にこれを第2のスイッチング素子M2の特性に応じた第2のスイッチング素子M2の動作電圧として保持して前記表示素子D1を駆動する駆動電流記憶手段を有するものである。

【0023】また、好ましくは前記第1のスイッチング素子M1と第2のスイッチング素子M2との間には駆動信号を保持する容量成分C1を有し、前記駆動信号は駆動電流に対応した電圧信号として与えられるとともに、前記容量成分C1によりこの駆動信号を電圧／電流変換して第2のスイッチング素子M2に与える。

【0024】また、好ましくは前記表示素子D1と電源VDとの間に配置され、選択信号Selにより禁止状態となり、非選択時に表示素子D1と電源VDとを接続する第4のスイッチング素子M4を有する。

【0025】このように、駆動電流に対応した電流信号の駆動信号を、第2のスイッチング素子M2に与え、これをそのI/V特性から得られた電圧値として保持し、かつ非選択時に前記表示素子を駆動する駆動電流記憶手段を有することにより、第2のスイッチング素子M2の特性のバラツキに関係なく、一定の電流で表示素子を駆動することができ、輝度ムラや表示ムラを防止し、高品位で均一な表示が可能となる。

【0026】第2のスイッチング素子M2は、表示素子（通常カソード側）と接地線との間に配置され、所定の電流値で表示素子を駆動する。この第2のスイッチング素子M2は、また第1のスイッチング素子M1と第3のスイッチング素子M3が能動状態となることで、図7に示すように、一方の被制御端子（ドレイン）と制御端子（ゲート）とが接続されたセルフバイアス回路ないし定電流回路が形成され、これに所望の電流ILを流すと、図8に示すようにP点にはスイッチング素子のI/V特性に応じた電圧Vpが現れる。ここで、図8に示すようにスイッチング素子の特性にバラツキがある場合、異なる特性曲線によりILに対応する電圧がVp'のように変動する。ところが保持される電圧は、その特性に応じたVpまたはVp'であり、それぞれに対応する電流値ILは一定なので、保持されたVpまたはVp'により必ず所定の電流ILが流れることになる。

【0027】すなわち、第2のスイッチング素子M2は、第1のスイッチング素子M1と第3のスイッチング素子M3とが禁止状態となることで、P点の電圧Vpを制御端子電圧として保持する。そして、このとき制御端子電圧Vpに応じた電流ILを被制御端子に流そうとするので、表示素子D1は所望の電流ILで駆動されることになる。

【0028】なお、図1に示す例では表示素子D1と電源線VDとの間に、制御端子が選択線Selに接続された第4のスイッチング素子M4が配置されているが、この第4のスイッチング素子M4は非選択時にのみ表示素子D1を駆動するために配置されたもので、選択時には禁止状態となって、電源線VDと表示素子D1とを遮断するものである。

【0029】また、図示例では駆動信号はビデオ信号線Vidから所定の電流信号として与えられる。

【0030】スイッチング素子としては、一般に用いられているバイポーラトランジスタやFET（電界効果トランジスタ）も使用することができるが、特に薄膜トランジスタであって、c-MOSタイプのものが好ましい。

【0031】以下に薄膜トランジスタ（TFT）の一形

態を図を参照しつつ説明する。図9～17は本発明の画像表示装置を構成するTFT、特に有機EL素子の駆動電流を流す発光電流駆動用TFTの製造工程図である。

【0032】(1)図9に示すように、基板101として例えば石英基板を使用し、この基板101上にスパッタ法により $\text{SiO}_2$ 膜102を約100nmの厚さに成膜する。

【0033】(2)次いで、図9に示すようにこの $\text{SiO}_2$ 膜102の上にアモルファスSi(a-Si)層103を約100nmの厚さでLPCVD法により成膜する。このとき成膜条件は以下の通りである。

$\text{Si}_2\text{H}_6$ ガス	100～500	SCCM
He ガス	500	SSCM
圧力	0.1～1	Torr
加熱温度	430～500	℃

【0034】(3)次いで、加熱処理を行い、このa-Si層103を固相成長させてポリシリコンにする。この固相成長の条件は、例えば以下の通りである。

$\text{N}_2$	1	SLM
処理温度	600	℃
処理時間	5～20	時間

0.1%の $\text{PH}_3$ が入った $\text{SiH}_4$  ガス 200SCCM

処理温度 640 ℃

処理時間 0.4 時間

【0038】(7)次に、図14に示すように、所定のパターンに従ったエッチング工程により、ゲート電極105とゲート酸化膜104とを形成する。

【0039】(8)さらに、図14に示すように、このゲート電極105をマスクとして、ソース、ドレイン領域となるべき部分にイオンドーピング法により、ドーパント107、例えばリンをドーピングしてゲート電極に対してセルフアラインとなるようにソース、ドレイン領域106、109を形成する。

【0040】(9)これらの素子を含む基板を窒素雰囲気中に600℃で6時間処理し、その後、更に850℃で30分間加熱し、ドーパントの活性化を行う。

【0041】(10)さらに、図15に示すように、この基板全体にTEOSを出発材料として、 $\text{SiO}_2$ 膜を層間絶縁膜112として厚さ400nmに形成する。この $\text{SiO}_2$ 膜の成膜条件は、例えば以下の通りである。

TEOSガス	100	SSCM
加熱温度	700	℃

またはプラズマTEOS法により下記の条件で $\text{SiO}_2$ 膜を成膜する。

TEOSガス	10～50	SCCM
$\text{O}_2$ ガス	500	SCCM
パワー	50～300	W
処理温度	600	℃

そして、この $\text{SiO}_2$ 膜を形成後、各電極の配線のため、必要とするパターンに従ってバターニングを行い、

次に、

処理温度	850	℃
------	-----	---

処理時間	0.5～3	時間
------	-------	----

このようにしてa-Si層103を、図10に示すような活性Si層103aとすることができる。なお、必要によりレーザーアニールを施してもよい。

【0035】(4)次に、図11に示すように、前記(3)により形成したポリシリコン層103aをアイランドを形成するためバターニングする。

【0036】(5)さらに、図12に示すように、このバターニングしたポリシリコン層103a上にゲート酸化膜104を形成する。このゲート酸化膜104の形成条件は、例えば以下の通りである。

$\text{H}_2$	4	SLM
$\text{O}_2$	10	SCCM

処理温度 800 ℃

処理時間 5 時間

【0037】(6)次いで、図13に示すように、ゲート酸化膜104の上にゲート電極となるシリコン層105を減圧CVD法により、厚さ250nmに形成する。その成膜条件は、例えば以下の通りである。

層間絶縁膜112等を形成する。

【0042】(11)前記の如く形成した薄膜トランジスタをさらに水素雰囲気中で350℃で1時間加熱処理し、水素化を行い、半導体層の欠陥準位密度を減少させる。

【0043】(12)次いで、図15に示すようにドレイン、ソースなどのコンタクトを形成する。コンタクトは、絶縁膜112を開口した箇所で行う。まず、常圧CVD法により、層間絶縁層として $\text{SiO}_2$ 膜を成膜する。次いで、層間絶縁層をエッチングしてコンタクトホールを形成し、ドレイン、ソース接続部を開口する。

【0044】開口したドレイン、ソース接続部に、それぞれドレイン配線電極113、ソース配線電極114を成膜して、ドレイン、ソース電極と接続する。この場合、ドレイン、ソース電極のいずれか一方が、表示素子(有機EL素子)の第1の電極、または第2の電極として機能するか、これと接続される。図示例ではホール注入電極であるITO(116)と接続される。さらに、ドレイン配線電極113上に絶縁膜115を形成し、同時に画素部分以外を覆うエッジカバーを形成して図15に示すようなスイッチング素子を得る。

【0045】なお、ホール注入電極等、表示素子(有機EL素子)の電極との接続には、例えば図16に示すように配線電極114と、ホール注入電極116との間に両者の接続性を向上させるために、TiN等の接続金属層117を形成するとよい。



【0046】この方法によって得られたTFTを用いて実施例1に示す回路を、各画素毎に構成した。

【0047】この時、各TFTのチャンネル長、チャンネル幅は以下に示すように設計する。

	チャンネル長	チャンネル幅
M1	5 $\mu\text{m}$	15 $\mu\text{m}$
M2	5 $\mu\text{m}$	30 $\mu\text{m}$
M3	20 $\mu\text{m}$	20 $\mu\text{m}$
M4	6 $\mu\text{m}$	15 $\mu\text{m}$

【0048】M1、M2、M4は十分なON/OFF比が得られると共にスイッチング時のノイズを低減させるためにもそのゲート容量は小さい事が望ましい。

【0049】一方、M3は、①ELに十分な電圧を加え、かつVDS耐圧を持たせるため、②素子特性のばらつきを軽減させるため、③M1、M2、M4のスイッチングノイズの影響を小さくするために大きなL/Wを持たせると共にゲート容量を大きくする事が望ましい。

【0050】このようにして形成されたTFTを用いて、以下の各実施例に示す駆動回路を構成した。

【0051】＜実施例1＞図1は、本発明の画像表示装置の第1の態様を示した回路図である。図において、第1のスイッチング素子M1は、その制御端子（ゲート）が選択線Selに接続されるとともに、被制御端子の一端（ドレイン）が表示素子の一端（カソード）と、第3のスイッチング素子M3の被制御端子の他端（ソース）と、第2のスイッチング素子M2の被制御端子の一端（ドレイン）とに接続されている。また、その被制御端子の他端（ソース）は、駆動信号を与えるビデオ信号線Vidと接続されている。

【0052】また、第3のスイッチング素子M3の制御端子（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は第2のスイッチング素子M2の制御端子（ゲート）と接続されている。また、その被制御端子の他端（ソース）は、前記第1のスイッチング素子M1の被制御端子の一端（ドレイン）と同様である。前記第2のスイッチング素子の被制御端子の他端（ソース）は、接地線Vcomに接続されている。また、その被制御端子の一端（ドレイン）側は、前記第1のスイッチング素子M1の被制御端子の一端（ドレイン）と同様である。

【0053】また、第4のスイッチング素子M4の制御電極（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は、表示素子D1の他端（アノード）と接続され、その他端（ソース）は電源線VDと接続されている。

【0054】なお、この例では、第1～第4のスイッチング素子は、c-MOSタイプのTFTにより構成し、それぞれ第1のスイッチング素子M1がNチャンネル、第2のスイッチング素子M2がNチャンネル、第3のスイッチング素子M3がNチャンネル、第4のスイッチン

グ素子M4がPチャンネルとなっている。

【0055】また、電源線VD、および接地線Vcomは表示素子を駆動するために十分な電流を供給しうるものであって、図示しない他の画素（表示素子）や、電源回路と接続されている。選択線Selからは、表示素子（画素）を選択するための信号が与えられる。この例では、画素選択後に表示素子D1が発光する。ビデオ信号線Vidからは、表示素子を駆動するための駆動信号が与えられる。この駆動信号は、表示画素を所望の輝度で発光させるための駆動電流に相当する電流信号として与えられる。この駆動信号により画素が発光し、階調制御や表示色制御が行われる。

【0056】次に、このような構成の回路の動作について説明する。いま、選択線SelをH（ハイレベル）にする事により第1のスイッチング素子M1、第3のスイッチング素子M3をONに、第4のスイッチング素子M4をOFFにする。同時にビデオ信号線Vidより、駆動信号として表示素子（有機EL素子）D1に流したい電流を定電流源によって入力する。

【0057】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3が十分なI<sub>on</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>off</sub>が得られる電位を入力しなければならない。ただし、ビデオ信号線Vidは、いま定電流入力であり、第2のスイッチング素子M2の素子特性によって電位は定まる。本実施例では各電位が以下の様になる。

選択線Sel	10V
ビデオ信号線Vid	最大5V
電源線VD	10V
接地線Vcom	-5V

【0058】この時、第2のスイッチング素子M2と定電流源の負荷特性は図8のaのようになりPの電位はV<sub>p</sub>になる。この時TFTの素子のばらつきより第3のスイッチング素子M3の負荷特性が図8のbとなった時はPの電位はV<sub>p</sub>'となる。

【0059】本実施例で1  $\mu\text{A}$ の電流を流そうとした時、Pの電位は $\sim 1\text{V}$ 近辺になり素子の特性によって異なる値をもつ。

【0060】次に、選択線SelをL（ロウレベル）にする事により第1のスイッチング素子M1、第3のスイッチング素子M3をOFFに、第4のスイッチング素子M4をONにする。

【0061】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3に十分なI<sub>off</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>on</sub>が得られる電位を入力しなければならない。本実施例では選択線Selを-5Vに変化させた。

【0062】第3のスイッチング素子M3がOFFされ

ることにより、第2のスイッチング素子M2のゲート電位は上記のV<sub>p</sub>が保持される。この時の表示素子D1と、第2のスイッチング素子M2の負荷特性から、第2のスイッチング素子M2が飽和領域で動作することとなり、上記で入力された駆動信号の電流値とほぼ同じ電流値が表示素子D1に流れることになる。なおこの時、第4のスイッチング素子M4の抵抗は、表示素子D1、第2のスイッチング素子M2に比べて十分低いので無視することができる。

【0063】このときに流れる電流を決定するのは、上記P点に現れたV<sub>p</sub>であり、これは素子のばらつきによって変化はするが必ず上記で入力した駆動信号の電流を第2のスイッチング素子M2に流そうとする。これにより、第2のスイッチング素子M2の特性のばらつきに関係なく一定量の電流値を流すことが可能になり、画質を向上させることができる。

【0064】＜実施例2＞実施例2は実施例1を発展させたものである。対角が4インチ以上の直視型ディスプレイを実現する場合、ビデオ信号線V<sub>id</sub>を引き回すこととなるが、これにより寄生容量が付加されてしまう。いまパネルが高解像度になるにつれ、一面素あたりの書き込み時間が短くなる。そして、前述の寄生容量の影響により、各表示素子に流したい電流値をそのまま対象とする表示素子に供給することが困難になる。

【0065】そこで、図2に示すように、容量C1を第1のスイッチング素子M1の被制御端子の一端と、第2のスイッチング素子M2の被制御端子の一端との間に直列に配置する。また、供給する駆動信号も電圧信号とし、これをこの容量C1により電圧／電流変換して電流信号とし、第2のスイッチング素子M2に供給する。この電圧信号は、駆動電流に対応した電圧信号として与えられるが、通常のこぎり波形を発生する電圧源から供給する。なお、電圧／電流変換は、一般に $I = \Delta V \times C$ として与えられる。

【0066】いま、のこぎり波形の電圧の上昇する傾きを $\Delta V_r$ （単位V／S）とすると選択時間にC1を介して第2のスイッチング素子M2に流れる電流は、 $C1 \times \Delta V_r$ となる。

【0067】その他の構成要素は実施例1と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0068】このようにして構成した回路と駆動方法を用いた時、前述の電流値は、電圧波形、好ましくは時間変化により増大する波形であって、具体的にはのこぎり状の波形となるので、ビデオ信号線V<sub>id</sub>の寄生容量の影響を受けることなく、第2のスイッチング素子M2に駆動電流を流すことができる。これによってパネルサイズを大きくすることができ、大画面のディスプレイにも対応することができるとともに、高解像度になっても求める電流値を各表示素子に入力することができる。

【0069】＜実施例3＞実施例3は実施例2を発展させたものである。高解像度になるほど各画素の面積は小さくなり画素中に占めるTFT等の回路部品の割合が大きくなってしまう。そこで、図3に示すように、表示素子側に配した選択TFT、すなわち第4のスイッチング素子M4を廃し、表示素子D1の他端（アノード）を直接電源線VDに接続する。そして、選択時間の間、電源VDの電位をP点の電位より低く保ち、これによって表示素子、特に有機EL素子の有するダイオード特性により実施例1の第4のスイッチング素子M4のOFF状態と同じ状態を作る。つまり、表示素子、特に有機EL素子には逆バイアスがかかっているため、電流を流さない状態をつくりP点の電位を実施例1の選択時と同様に決定する事ができる。

【0070】その他の構成要素は実施例2と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0071】＜実施例4＞実施例4は実施例2を発展させたものである。高解像度になる程、第1のスイッチング素子M1、第4のスイッチング素子M4、第3のスイッチング素子M3は高速でスイッチングする必要が生じる。そして、それによるスイッチングノイズの影響が大きくなる。そこで、図4に示すように、第2のスイッチング素子M2の制御電極と被制御電極の他端間（ゲートソース間）に容量C2を付加し、スイッチングノイズの影響を小さくさせる。これによって高解像度でも正確に求める電流を表示素子（有機EL素子）に流すことができるようになる。

【0072】なお、スイッチングノイズの低減には第1のスイッチング素子M1、第4のスイッチング素子M4、第3のスイッチング素子M3のTFTスイッチをc-MOSで形成された、トランスファーゲートに変更することも有効である。この場合、スイッチとしての供給能力を高めると同時に、相反する制御信号がトランスファーゲートを構成するスイッチング素子（TFT）に供給されるため、スイッチングノイズを打ち消し合うことができる。

【0073】その他の構成要素は実施例2と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0074】＜実施例5＞実施例5は実施例2を発展させたものである。表示素子として好ましく用いられる有機EL素子は、陰極に用いられる材料がフォトリソ等ウェットプロセスに晒されると劣化し効率が低下しやすい。そこで、図5に示すように、回路の構成を本実施例に示すように変更することにより、有機EL素子の陰電極を共通化し、分離を不要にしてウェットプロセスによるダメージを与えないようにする。これにより、高効率の有機EL素子を有効に利用することができる。

【0075】図において、第1のスイッチング素子M1

は、その制御端子（ゲート）が選択線Selに接続されるとともに、被制御端子の一端（ドレイン）は容量C1の一端に接続され、その被制御端子の他端（ソース）は、駆動信号を与えるビデオ信号線Vidと接続されている。

【0076】また、第3のスイッチング素子M3の制御端子（ゲート）は、選択線Selと接続され、被制御端子の他端（ソース）は、容量C1の他端と、第4のスイッチング素子M4の被制御端子の他端（ソース）と、第2のスイッチング素子M2の被制御端子の一端（ドレイン）と接続されている。また、その被制御端子の一端（ドレイン）は、第2のスイッチング素子M2の制御端子（ゲート）と接続されている。

【0077】前記第2のスイッチング素子M2の被制御端子の他端（ソース）は、電源線VDと接続され、その被制御端子の一端（ドレイン）は、前記第3のスイッチング素子M3の被制御端子の他端（ソース）と同様である。

【0078】また、第4のスイッチング素子M4の制御電極（ゲート）は、選択線Selと接続され、被制御端子の一端（ドレイン）は、表示素子D1の他端（アノード）と接続され、その他端（ソース）は、前記第3のスイッチング素子M3の被制御端子の他端（ソース）と同様である。そして、表示素子D1の一端（カソード）は、接地線Vcomと接続されている。

【0079】次に、このような構成の回路の動作について説明する。いま、選択線SelをHにする事により第1のスイッチング素子M1、第3のスイッチング素子M3をONに、第4のスイッチング素子M4をOFFにする。同時にビデオ信号線Vidより、駆動信号として表示素子（有機EL素子）D1に流したい電流をに対応した電圧信号を、実施例2と同様に入力する。この場合、信号の向きは上記実施例2とは逆、すなわちマイナス側となる。

【0080】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3が十分なI<sub>on</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>off</sub>が得られる電位を入力しなければならない。ただし、ビデオ信号線Vidは、いま定電流入力であり、第2のスイッチング素子M2の素子特性によって電位は定まる。本実施例では各電位が以下のようになる。

選択線Sel	10V
ビデオ信号線Vid	最小0V
電源線VD	10V
接地線Vcom	-5V

【0081】次に、選択線SelをLにする事により第1のスイッチング素子M1、第3のスイッチング素子M3をOFFに、第4のスイッチング素子M4をONにする。

【0082】この時、電源線VD、選択線Sel、接地線Vcomの各ラインには第1および第3のスイッチング素子M1、M3に十分なI<sub>off</sub>が得られ、第4のスイッチング素子M4に十分なI<sub>on</sub>が得られる電位を入力しなければならない。本実施例では選択線Selを0Vに変化させた。

【0083】第3のスイッチング素子M3がOFFされることにより、第2のスイッチング素子M2のゲート電位は実施例2と同様にV<sub>p</sub>が保持される。この時の表示素子D1と、第2のスイッチング素子M2の負荷特性から、第2のスイッチング素子M2が飽和領域で動作することとなり、上記で入力された駆動信号に対応した電流値とほぼ同じ電流値が表示素子D1に流れることになる。

【0084】＜実施例6＞実施例6は実施例5を発展させたものである。図6に示すように、実施例3と同様に第4のスイッチング素子M4、つまりTFTを1つ減らすことにより回路部品が画素に占める面積を減らすことができる。この時、実施例3と同様に、選択間Vcomの値を制御し、表示素子、特に有機EL素子を逆バイアス状態にする。

【0085】その他の構成要素は実施例5と同様であり、同一構成要素には同一符号を付して説明を省略する。

【0086】

【発明の効果】以上のように、本発明によれば、Po1y-Siの粒径による特性のばらつきの影響をなくし、表示面のばらつきを改善することができる。

【図面の簡単な説明】

【図1】本発明の画像表示装置の第1の態様を示した回路図である。

【図2】本発明の画像表示装置の第2の態様を示した回路図である。

【図3】本発明の画像表示装置の第3の態様を示した回路図である。

【図4】本発明の画像表示装置の第4の態様を示した回路図である。

【図5】本発明の画像表示装置の第5の態様を示した回路図である。

【図6】本発明の画像表示装置の第6の態様を示した回路図である。

【図7】第3のスイッチング素子の動作を説明する等価回路図である。

【図8】第3のスイッチング素子のI/V特性を示したグラフである。

【図9】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図10】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図11】本発明の画像表示装置を構成するTFTの、

一製造工程を示した概略断面図である。

【図12】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図13】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図14】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図15】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図16】本発明の画像表示装置を構成するTFTの、一製造工程を示した概略断面図である。

【図17】従来のアクティブマトリクス型の有機EL表示装置の一例を示したブロック構成図である。

【図18】図17のA部を拡大した回路図である。

【符号の説明】

M1 第1のスイッチング素子

M2 第2のスイッチング素子

M3 第3のスイッチング素子

M4 第4のスイッチング素子

D1 表示素子

C1, C2 容量

Vid ビデオ信号線

Sel 選択線

VD 電源線

Vcom 接地線

101 基板

102 シリコン酸化膜

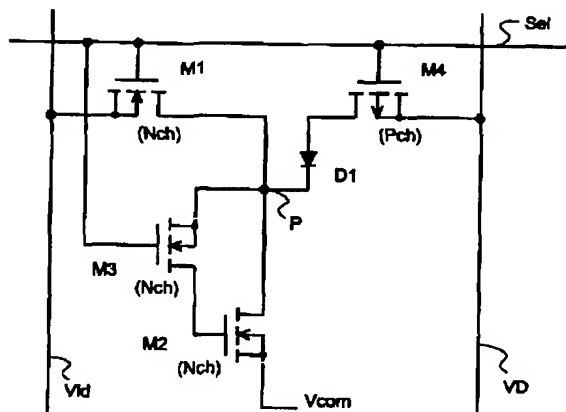
103 アモルファスシリコン層

103a 活性層

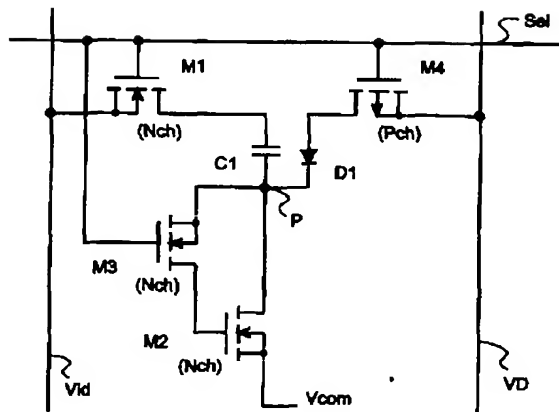
104 ゲート酸化膜

105 ゲート電極

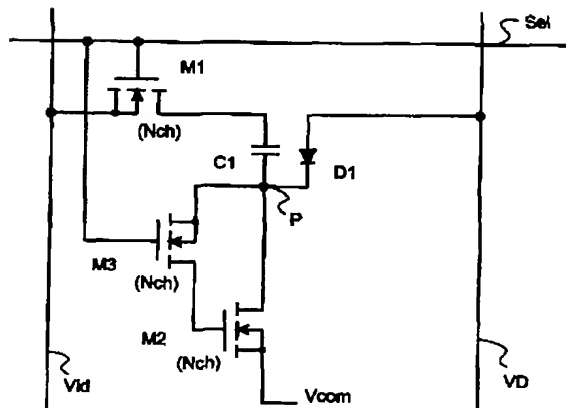
【図1】



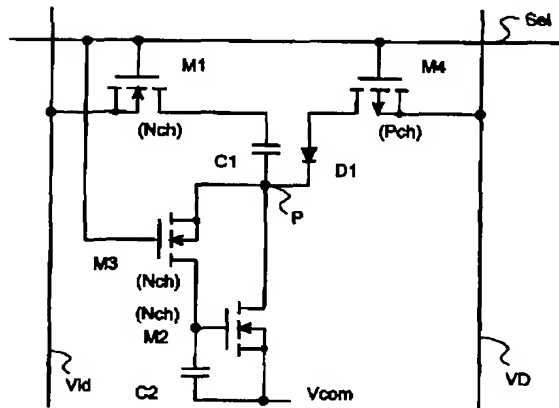
【図2】



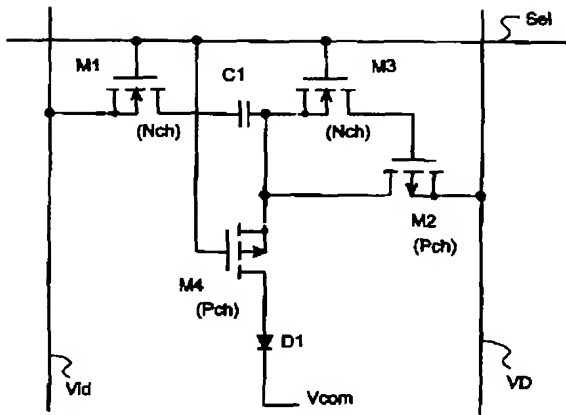
【図3】



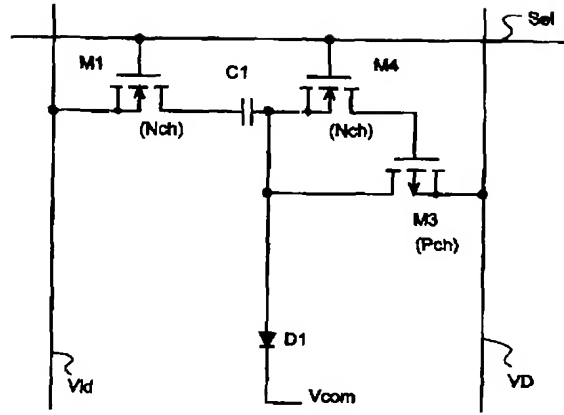
【図4】



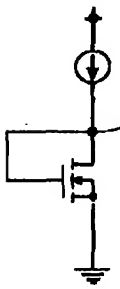
【図 5】



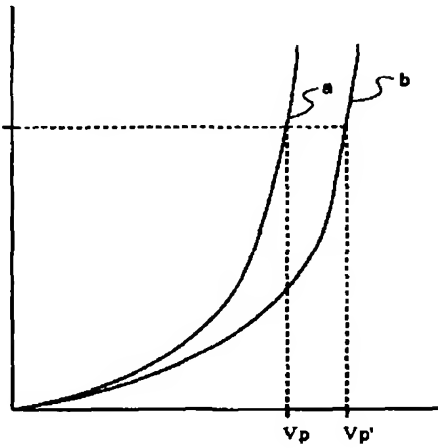
【図 6】



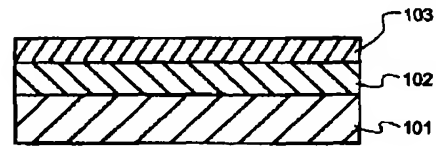
【図 7】



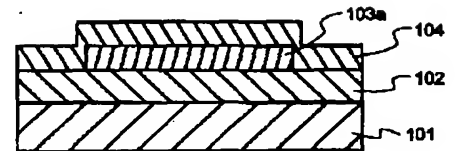
【図 8】



【図 9】

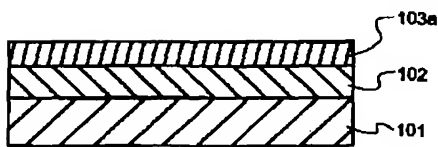


【図 1 2】

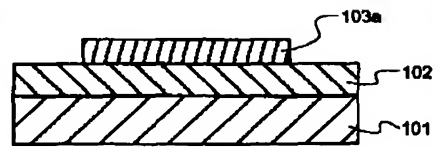


【図 1 3】

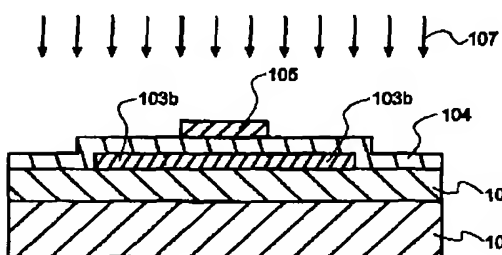
【図 1 0】



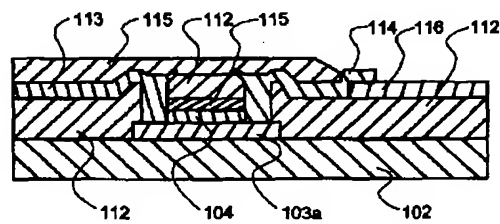
【図 1 1】



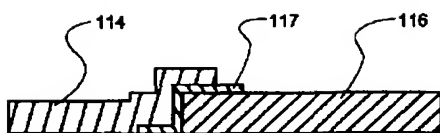
【図 1 4】



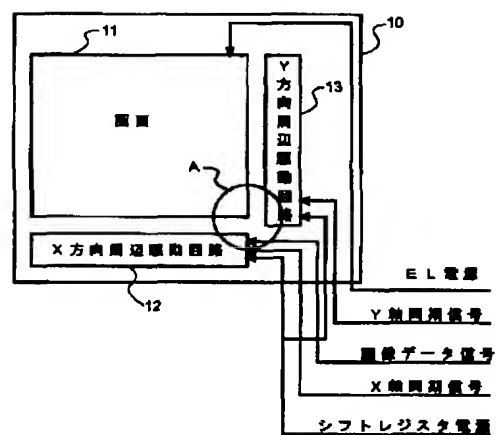
【図 1 5】



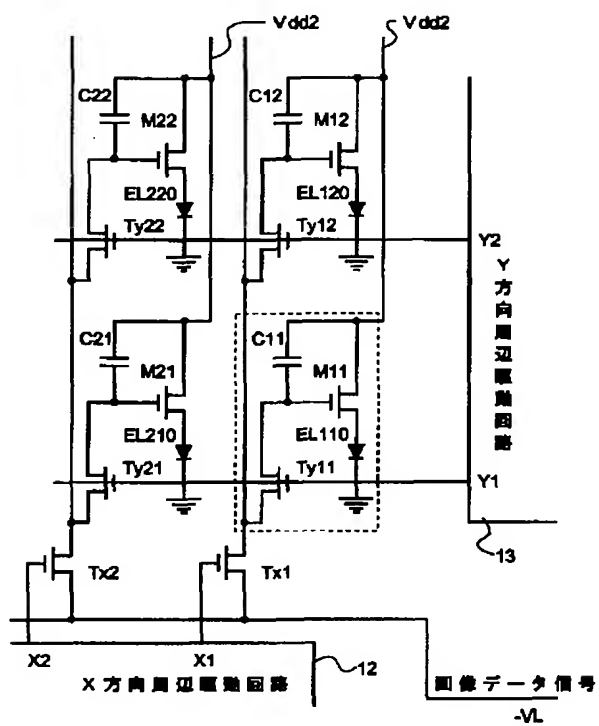
【図16】



【図17】



【図18】



Japanese Patent Laid-Open Number 2001-56667

Publication Date: 2001-02-27

Application No.: Hei. 11-231493

Filing Date: 1999-08-18

Int. Class. No.: G09G3/30; G09G3/20; H05B33/14

Inventor: TAKAYAMA ICHIRO

Applicant: TDK CORP

Specification

Title of Invention: PICTURE DISPLAY DEVICE

Abstract

[Objective]

An object of the present invention is to eliminate the adverse effect of characteristic fluctuation caused by poly-silicon grain diameters and to reduce the fluctuation of the display surface.

[Aspect]

A picture display device comprises a second switching element which is connected to a display element and directly drives the element; a third switching element which becomes in an active state by selection signals and connects one terminal to be controlled and a control terminal of said second switching element; a first switching element which becomes in an active state by the selection signals and forms an electrically conductive path to supply driving signals to another terminal to be controlled of said second switching element; and a driving current storage means for driving said display element, wherein a self bias circuit is formed with said second switching element and third switching element, which gives driving signals corresponding to driving current to the second switching element during a selecting period, and which holds the signals as an operating voltage of the second switching element in accordance with the characteristic of the second switching element during a non-selecting period.

[Claims]

[Claim 1] A picture display device comprising:

a second switching element which is connected to a display element and directly drives the element;

a third switching element which becomes in an active state by selection signals and connects one terminal to be controlled and a control terminal of said second switching element;

a first switching element which becomes in an active state by the selection signals and forms an electrically conductive path to supply driving signals to another terminal to be controlled of said second switching element; and

a driving current storage means for driving said display element wherein a self bias circuit is formed with said second switching element and third switching element, which gives driving signals corresponding to driving current to the second switching element during a selecting period, and

which holds the signals as an operating voltage of the second switching element in accordance with the characteristic of the second switching element during a non-selecting period.

[Claim 2] The picture display device according to claim 1 wherein said display element is driven by the current, and emits in accordance with this driving current.

[Claim 3] The picture display device according to claims 1 or 2 wherein said driving signals are supplied as current signals in accordance with driving current, and by giving the signals to a terminal to be controlled of the second switching element, a voltage value which is obtained by the I/V characteristic is held.

[Claim 4] The picture display device according to any one of claims 1 to 3 wherein a fourth switching element which is connected to said light emitting element, becomes an inhibition state by selection signals, and connects said light emitting element and a power source during a non-selecting period is provided.

[Claim 5] The picture display device according to any one of claims 1 to 4 wherein a capacitive component for voltage/current-converting driving signals is provided between said first switching element and second switching element, and said driving signals are given as voltage signals corresponding to driving current and these driving signals are given to the second switching element by being voltage/current-converted by said capacitive component.

[Claim 6] The picture display device according to claim 5 wherein said driving signal is a shape of sawlike wave having the rate of increase corresponding to driving current of said display element.



[Claim 7] The picture display device according to claims 5 or 6 wherein a fourth switching element is provided between said display element and a power source, which becomes an inhibition state by selection signals, and connects the display element and the power source during non-selecting period.

[Claim 8] A picture display device comprising:

- a first switching element of which control terminal is connected to a selection line Sel, of which one end of terminal to be controlled is connected to one end of a display element, to another end of terminal to be controlled of a third switching element, and to one end of terminal to be controlled of a second switching element, and of which another end of terminal to be controlled is connected to a video signal line for giving driving signals;

- a third switching element of which control terminal is connected to a selection line and one end of terminal to be controlled is connected to a control terminal of a second switching element, and of which another end of terminal to be controlled is connected to one end of terminal to be controlled of said first switching element, to one end of the display element, and to one end of terminal to be controlled of the second switching element;

- a second switching element of which another end of terminal to be controlled is connected to an earthing line, and of which one end of terminal to be controlled is connected to one end of a display element, to another end of terminal to be controlled of the third switching element, and to one end of terminal to be controlled of the first switching element;

- a fourth switching element of which control electrode is connected to a selection line, and one end of terminal to be controlled is connected to another end of display element, and of which another end is connected to a power source line; and

- a display element which is driven by these switching elements.

[Claim 9] A picture display device comprising:

- a first switching element of which control terminal is connected to a selection line and one end of terminal to be controlled is connected to one end of capacitor, and of which another end of terminal to be controlled is connected to a video signal line for giving driving signals;

a third switching element of which control terminal is connected to a selection line, another end of terminal to be controlled is connected to another end of a capacitor, to another end of terminal to be controlled of the fourth switching element, and to one end of terminal to be controlled of the second switching element, and of which one end of terminal to be controlled is connected to a control terminal of the second switching element;

a second switching element of which another end of terminal to be controlled is connected to a power source line, and of which one end of terminal to be controlled is connected to another end of terminal to be controlled of the third switching element, to another end of a capacitor, and to another end of terminal to be controlled of a fourth switching element;

a fourth switching element of which another end of terminal to be controlled is connected to another end of terminal to be controlled of the third switching element, to another end of a capacitor, and to one end of terminal to be controlled of the second switching element, of which control electrode is connected to a selection line, and of which one end of terminal to be controlled is connected to another end of display element; and

a display element of which one end is connected to an earthing line and is driven by these switching elements.

[Claim 10] The picture display device according to any one of claims 1 to 9 wherein said first switching element to third element are poly-silicon TFTs.

[Claim 11] The picture display device according to any one of claims 1 to 10 wherein said display element is an organic EL element.

[Claim 12] The picture display device according to any one of claims 1 to 11 wherein driving signals are input from a video signal line while selection signals are being input from said selection line, and a display element is driven during non-selecting period.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

The present invention relates to a picture display device, especially relates to a picture display device with high picture quality which is suitable for an organic

electroluminescent (EL) display device.

[0002]

[Related Art]

Recently, a display device by using an organic electroluminescent element has been developed. When an organic EL element device in which a large number of organic EL elements are used is driven by an active matrix circuit, in each EL pixel (picture element), a pair of FET (field effect transistor) like a thin film transistor (TFT) to control an electric current for supplying to this pixel are connected. That is to say, a pair of TFT for bias to send the driving current to the organic EL element, and TFT for switch to show whether the TFT for bias should be selected or not are connected.

[0003]

One example of a circuit diagram of the conventional active matrix type organic EL display device is shown in Fig. 17 and Fig. 18. This organic EL display device comprises X direction signal lines X1, X2 ..., Y direction signal lines Y1, Y2 ..., power source Vdd lines Vdd1, Vdd2 ..., TFT transistors for switch Ty11, 12, Ty 21, 22 ..., TFT transistors for controlling the electric current M11, 12, M21, 22 ..., organic EL elements EL 110, 120, EL210, 220 ..., condensers C11, 12, C21, 22 ..., an X direction peripheral driving circuit 12, a Y direction peripheral driving circuit 13 and the like.

[0004]

A pixel is specified by the X direction signal lines X1, X2 and the Y direction signal lines Y1, Y2, and the TFT transistors for switch Ty 11, 12 and Ty 21, 22 are turned ON in the pixel so that picture data are stored in the condensers for signal storage C11, 12 and C21, 22. Accordingly, the TFT transistors for controlling the electric current M11, 12 and M21, 22 are turned ON, so that the electric current for bias in accordance with the picture data is sent to the organic EL elements EL 110, 120 and EL 210, 220 by the power source lines Vdd1 and Vdd2, consequently the pixel is made to be emitted.

[0005]

For example, when a signal in accordance with the picture data is output to the X direction signal line X1 so that a Y direction scanning signal is output to the

Y direction signal line Y1, the TFT transistor for switch Ty11 of pixel specified thereby is turned ON, the TFT transistor for controlling the electric current M11 is made to be conductive by the signal in accordance with the picture data, and light emission current in accordance with these picture data is sent to the organic EL element 110, consequently light emission is controlled. In this way, in the active matrix type EL picture display device comprising a thin film type EL element; a TFT transistor for controlling the electric current to control light emission of said EL element; a condenser for signal storage which is connected to a gate electrode of said TFT transistor for controlling the electric current; a TFT transistor for switch to write data into said capacitor and the like per pixel, the light emission intensity of EL element is decided by the electric current which is passed in the TFT transistor of nonlinear element for controlling light emission current which is controlled by voltage stored in a capacitor for signal storage (referring to A66-in 201pi Electroluminescent Display T. P. Brody. F. C. Luo. et.al. IEEE Trans Electron I) evices, Vol. ED-22, No. 9, Sep. 1975, P739P749).

[0006]

At this time, it is requested that the capacity of condenser for signal storage which is used, should be not more than capacity that a pixel switch TFT transistor can be charged with enough electric charges within a minute selecting time, besides, should be not less than capacity that deterioration of storage voltage of condenser caused by electric charges which are lost until the next writing time by a leak current during non-selecting period of this pixel switch TFT transistor does not have a bad influence on a picture of display panel.

[0007]

By the way, when an optical system for performing the enlarged projection is not used because of the visual confirmation, the active matrix type display device is required to have angle of field of 4 in. or more.

[0008]

It costs greatly to make the display screen of this size on a silicon single crystalline substrate, because the number of substrates which can be obtained from one single crystalline substrate is very few in the present manufacturing technology of single crystalline Si substrate.

[0009]

Accordingly, in the active matrix type display device, it is preferable to use a thin film transistor (TFT) wherein a semiconductor layer such as non-single crystalline silicon which is formed on a plane substrate such as a glass substrate is used.

[0010]

By the way, the large-sized semiconductor layer which is formed on the plane substrate can be formed comparatively easily so that an amorphous silicon film (hereinafter referred to as a-Si film) is generally used.

[0011]

However, in the TFT which is formed with the a-Si film, when the electric current is continuously sent in one direction regularly, a threshold value is drifted so that the current value is varied, consequently variation in the picture quality is caused. Besides, the mobility is low in the a-Si film so that the electric current which can drive with high-speed response is limited, and it is difficult to form a P-channel so that it is also difficult to configure the small-scaled c-MOS circuit.

[0012]

Accordingly, as the semiconductor layer of active matrix type organic EL picture display device, it is desirable to use Poly-Silicon by which it is easy to be comparatively large-scaled, high reliability and high mobility can be realized, and CMOS circuit can be formed.

[0013]

By the way, in the TFT which is formed by using a Poly-Silicon layer, the trap level density is varied by the number of crystalline grain boundaries in the channel, and which affects the characteristic. Accordingly the variation ratio of the number of grain boundaries in the channel increases as the channel length or the channel width are brought near to a grain diameter of crystal. It causes not only increasing the variation ratio of trap level density in the channel, but also increasing the characteristic fluctuation of TFT. Increase of this characteristic fluctuation of TFT is not desirable because the deterioration of picture quality of display device is caused.

[0014]

**[Problems that the Invention is to Solve]**

The purpose of the present invention is to eliminate the adverse effect of characteristic fluctuation caused by poly-silicon grain diameters and reduce the fluctuation of the display surface.

**[0015]**

**[Means for Solving the Problems]**

That is to say, the above-mentioned purpose is attained by the following configuration.

**(1) A picture display device comprising:**

a second switching element which is connected to a display element and directly drives the element;

a third switching element which becomes in an active state by selection signals and connects one terminal to be controlled and a control terminal of said second switching element;

a first switching element which becomes in an active state by the selection signals and forms an electrically conductive path to supply driving signals to another terminal to be controlled of said second switching element; and

a driving current storage means for driving said display element wherein a self bias circuit is formed with said second switching element and third switching element, which gives driving signals corresponding to driving current to the second switching element during a selecting period, and

which holds the signals as an operating voltage of the second switching element in accordance with the characteristic of the second switching element during a non-selecting period.

**(2) The picture display device according to the above (1) wherein said display element is driven by the current, and emits in accordance with this driving current.**

**(3) The picture display device according to the above (1) or (2) wherein said driving signals are supplied as current signals in accordance with driving current, and by giving the signals to a terminal to be controlled of the second switching element, a voltage value which is obtained by the I/V characteristic is held.**

**(4) The picture display device according to any one of the above (1) to (3) wherein a fourth switching element which is connected to said light emitting element,**

becomes an inhibition state by selection signals, and connects said light emitting element and a power source during a non-selecting period is provided.

(5) The picture display device according to any one of the above (1) to (4) wherein a capacitive component for voltage/current-converting driving signals is provided between said first switching element and second switching element, and said driving signals are given as voltage signals corresponding to driving current and these driving signals are given to the second switching element by being voltage/current-converted by said capacitive component.

(6) The picture display device according to the above (5) wherein said driving signal is a shape of sawlike wave having the rate of increase corresponding to driving current of said display element.

(7) The picture display device according to the above (5) or (6) wherein a fourth switching element is provided between said display element and a power source, which becomes an inhibition state by selection signals, and connects the display element and the power source during non-selecting period.

[0016]

(8) A picture display device comprising:

a first switching element M1 of which control terminal is connected to a selection line Sel, of which one end of terminal to be controlled is connected to one end of a display element, to another end of terminal to be controlled of a third switching element M3, and to one end of terminal to be controlled of a second switching element M2, and of which another end of terminal to be controlled is connected to a video signal line Vid for giving driving signals;

a third switching element M3 of which control terminal is connected to a selection line Sel and one end of terminal to be controlled is connected to a control terminal of a second switching element M2, and of which another end of terminal to be controlled is connected to one end of terminal to be controlled of said first switching element M1, to one end of the display element D1, and to one end of terminal to be controlled of the second switching element M2;

a second switching element of which another end of terminal to be controlled is connected to an earthing line Vcom, and of which one end of terminal to be controlled is connected to one end of a display element D1, to another end of

terminal to be controlled of the third switching element M3, and to one end of terminal to be controlled of the first switching element M1;

a fourth switching element M4 of which control electrode is connected to a selection line Sel, and one end of terminal to be controlled is connected to another end of display element D1, and of which another end is connected to a power source line VD; and

a display element D1 which is driven by these switching elements M1 to M4.

[0017]

(9) A picture display device comprising:

a first switching element M1 of which control terminal is connected to a selection line Sel and one end of terminal to be controlled is connected to one end of capacitor C1, and of which another end of terminal to be controlled is connected to a video signal line Vid for giving driving signals;

a third switching element M3 of which control terminal is connected to a selection line Sel, another end of terminal to be controlled is connected to another end of a capacitor C1, to another end of terminal to be controlled of the fourth switching element M4, and to one end of terminal to be controlled of the second switching element M2, and of which one end of terminal to be controlled is connected to a control terminal of the second switching element M2;

a second switching element M2 of which another end of terminal to be controlled is connected to a power source line VD, and of which one end of terminal to be controlled is connected to another end of terminal to be controlled of the third switching element M3, to another end of a capacitor C1, and to another end of terminal to be controlled of a fourth switching element M4;

a fourth switching element M4 of which another end of terminal to be controlled is connected to another end of terminal to be controlled of the third switching element M3, to another end of a capacitor C1, and to one end of terminal to be controlled of the second switching element M2, of which control electrode is connected to a selection line Sel, and of which one end of terminal to be controlled is connected to another end of display element D1; and

a display element D1 of which one end is connected to an earthing line Vcom and is driven by these switching elements.



(10) The picture display device according to any one of the above (1) to (9) wherein said first switching element to third element are poly-silicon TFT.

(11) The picture display device according to any one of the above (1) to (10) wherein said display element is an organic electroluminescent element.

(12) The picture display device according to any one of the above (1) to (11) wherein driving signals are input from a video signal line while selection signals are being input from said selection line, and a display element is driven during non-selecting period.

[0018]

Besides, a circuit for driving an active matrix organic light emitting diode is described in Japanese Patent Application Laid-open No. Hei 10-319908. However, in a circuit configuration of the embodiment disclosed in the Patent Gazette, a gate voltage of bias TFT which is needed when the requested electric current is sent is sensed and inverting-amplified by an electric current generating circuit which is provided outside the pixel, and is stored again in the capacitor in the pixel. A source follower circuit is used for sensing the current value (claim 2).

[0019]

That is to say, because the current value is sensed and inverting-amplified by the electric current generating circuit which is provided outside the pixel and is stored in the capacitor in the pixel in the above Patent Gazette, the complicated sequence of a writing non-selecting interval, a writing selecting interval, and a light emitting interval is needed, consequently a timing circuit therefor is needed. Besides, a circuit for sensing and inverting-amplifying to provide outside is needed so that costs are increased. Also, the non-selecting interval is needed so that the light emitting time becomes short, consequently the picture quality is deteriorated.

[0020]

On the other hand, in the present invention, a gate of bias TFT is connected to a drain, in which a self-bias circuit for inputting the requested current value is provided, consequently it is able to omit a sensing and inverting-amplifying circuit of the outside. Accordingly, in case of configuration such as embodiments 1, 2, 4 and 5, the control can be performed by two operations of minute writing time and non-writing time. Consequently, long light emitting time with the requested

luminance can be obtained, and the display with high luminance and high picture quality can be realized.

[0021]

Besides, a timing circuit which causes the complicated sequence can be also omitted. In the embodiments 3 and 6 of the present application, the same three operating situations as those of the generally known embodiment mentioned above are needed, however, it is able to omit the sensing and inverting-amplifying circuit.

[0022]

[Embodiment mode] A picture display device of the present invention comprises, for example as shown in Fig. 1:

- a second switching element M2 which is connected to a display element D1 and directly drives the element;

- a third switching element M3 which becomes in an active state by selection signals Sel and connects one terminal to be controlled (drain) and a control terminal (gate) of said second switching element M2;

- a first switching element M1 which becomes in an active state by the selection signals Sel and forms an electrically conductive path to supply driving signals to another terminal to be controlled (drain) of said second switching element M2; and

- a driving current storage means for driving said display element D1 wherein a self bias circuit is formed with said second switching element M2 and third switching element M3, which gives driving signals corresponding to driving current to the second switching element M2 during a selecting period, and

- which holds the signals as an operating voltage of the second switching element M2 in accordance with the characteristic of the second switching element M2 during a non-selecting period.

[0023]

Besides, preferably, a capacitive component C1 for storing driving signals is provided between said first switching element M1 and second switching element M2, and

said driving signals are given as voltage signals corresponding to driving current and these driving signals are given to the second switching element M2 by

being voltage/current-converted by said capacitive component C1.

[0024]

Besides, preferably, a fourth switching element M4 is provided between said display element D1 and a power source VD, which becomes an inhibition state by selection signals Sel, and connects the display element D1 and the power source VD during non-selecting period.

[0025]

In this way, by having a driving current storage means for giving driving signals of current signals corresponding to the driving current to the second switching element M2, for storing them as the voltage value which is obtained by the I/V characteristic, and for driving said display element during non-selecting period, the display element can be driven by constant electric current independently with fluctuation of characteristic of the second switching element M2, blurs of luminance and displaying can be prevented, consequently displaying with high quality and uniformity can be realized.

[0026]

The second switching element M2 is provided between the display element (generally on the cathode side) and the earthing line, and drives the display element by the prescribed current value. In this second switching element M2, by which the first switching element M1 and the third switching element M3 become the active state, as shown in Fig. 7, a self bias circuit which one terminal to be controlled (drain) and a control terminal (gate) are connected or a constant current circuit is formed. When the requested electric current  $I_L$  is sent to it, a voltage  $V_p$  in accordance with I/V characteristic of switching element is appeared at P point as shown in Fig. 8. When the characteristic fluctuation of switching element is appeared as shown in Fig. 8, the voltage corresponding to  $I_L$  is varied to  $V_p'$  by a different characteristic curve. However, the stored voltage is  $V_p$  or  $V_p'$  in accordance with characteristic thereof, the current value  $I_L$  corresponding to respective ones is regular, consequently the prescribed current  $I_L$  is sure to be sent by the stored  $V_p$  or  $V_p'$ .

[0027]

That is to say, the second switching element M2 stores voltage  $V_p$  at P-point

as control terminal voltage by which the first switching element M1 and the third switching element M3 become the inhibition states. And at this time, the current IL in accordance with the control terminal voltage Vp is made to send to the terminal to be controlled, consequently the display element D1 is driven by the requested current IL.

[0028]

In addition, in an example shown in Fig. 1, the fourth switching element M4 of which control terminal is connected to the selection line Sel is provided between the display element D1 and the power source line VD, in order to drive the display element D1 only during non-selecting period, and it becomes the inhibition state during the selecting period, consequently the power source line VD and the display element D1 are cut off.

[0029]

Besides, the driving signals are given as the prescribed current signals from the video signal line Vid in the example shown in the drawing.

[0030]

As the switching element, bipolar transistor and FET (field effect transistor) which are used generally can be used, especially a thin film transistor of c-MOS type is preferable.

[0031]

Hereinafter, one embodiment of a thin film transistor (TFT) is explained referring to the drawings. Fig. 9 to Fig. 17 are manufacturing flow sheets of TFT which configures a picture display device of the present invention, especially those of TFT for light emitting current driving which sends the driving current of an organic EL element.

[0032]

(1) As shown in Fig. 9, a quartz substrate, for example, is used as a substrate 101, and a SiO<sub>2</sub> film 102 is formed to a thickness of about 100 nm on this substrate 101 by sputtering.

[0033]

(2) Next, an amorphous Silicon (a-Si) layer 103 is formed to a thickness of about 100 nm on this SiO<sub>2</sub> film 102 by LPCVD method as shown in Fig. 9. The

conditions of film formation at this time are as follows:

Si <sub>2</sub> H <sub>6</sub> gas	100 to 500	SCCM
He gas	500	SSCM
Pressure	0.1 to 1	Torr
Heating temperature	430 to 500	°C

[0034]

(3) Next, a heat treating is performed, and this a-Si layer 103 is solid-phase-grown into poly-silicon. The conditions of solid phase growth are, for example, as follows:

N <sub>2</sub>	1	SLM
Treating temperature	600	°C
Treating time	5 to 20	hours

Subsequently,

Treating temperature	850	°C
Treating time	0.5 to 3	hours

In this way, the a-Si layer 103 can be made to be an active Si layer 103a as shown in Fig. 10. In addition, a laser annealing can be performed if necessary.

[0035]

(4) Next, as shown in Fig. 12, the poly-silicon layer 103a which has been formed by said (3) is patterned in order to form an island.

[0036]

(5) Furthermore, as shown in Fig. 11, a gate oxide film 104 is formed on this patterned poly-silicon layer 103a. The conditions of forming this gate oxide film 104 are, for example, as follows:

H <sub>2</sub>	4	SLM
O <sub>2</sub>	10	SLM
Treating temperature	800	°C
Treating time	5	hours

[0037]

(6) Next, as shown in Fig. 13, a silicon layer 105 to be a gate electrode is formed to a thickness of 250 nm on the gate oxide film 104 by the low pressure CVD method. The conditions of film formation are, for example, as follows:

SiH <sub>4</sub> gas in which PH <sub>3</sub> of 0.1% is contained	200	SCCM
Treating temperature	640	°C
Treating time	0.4	hour

[0038]

(7) Next, as shown in Fig. 14, a gate electrode 105 and a gate oxide film 104 are formed by an etching process according to the prescribed pattern.

[0039]

(8) Furthermore, as shown in Fig. 14, by using this gate electrode 105 as a mask, source and drain regions 106 and 109 are formed on the portion to be source and drain regions by the ion doping method of doping a dopant 107, for example phosphorus so as to be self-align for the gate electrode.

[0040]

(9) The substrate which includes these elements is treated in an atmosphere of nitrogen at 600 °C, for six hours, subsequently, the dopant is activated by being furthermore heated at 850 °C for thirty minutes.

[0041]

(10) Furthermore, as shown in Fig. 15, a SiO<sub>2</sub> film is formed to a thickness of 400 nm as an interlayer insulating film 112 on the whole of this substrate by using TEOS as a starting material. The conditions of film formation of this SiO<sub>2</sub> film are as follows:

TEOS gas	100	SSCM
Heating temperature	700	°C

Or the SiO<sub>2</sub> film is formed by plasma TEOS method under conditions mentioned below:

TEOS gas	10 to 50	SSCM
O <sub>2</sub> gas	500	SSCM
Power	50 to 300	W
Treating temperature	600	°C

And, after forming this SiO<sub>2</sub> film, for wirings of each electrode, patterning is performed according to the required pattern, and then the interlayer insulating film 112 and the like are formed.

[0042]

(11) The thin film transistor which is formed as mentioned above is furthermore heat-treated in an atmosphere of hydrogen at 350 °C for one hour, hydrogenation is performed, consequently defect trap density in the semiconductor layer is made to be reduced.

[0043]

(12) Next, contacts such as drain and source are formed as shown in Fig. 15. Contact is performed in the aperture of the insulating film 112. First, a SiO<sub>2</sub> film is formed as an interlayer insulating layer by the atmospheric pressure CVD method. Next, contact holes are formed by etching the interlayer insulating layer, and connecting portions for drain and source are made to open.

[0044]

A drain wiring electrode 113 and a source wiring electrode 114 are formed respectively on the connecting portions for drain and source which are made to open so that they are connected to drain and source electrodes. In this case, any one of drain and source electrodes functions as the first electrode or the second one of the display element (an organic EL element), or to which it is connected. It is connected to ITO (116) of a hole implanting electrode in an example shown in the drawing. Furthermore, an insulating film 115 is formed on the drain wiring electrode 113, and simultaneously an edge cover for covering the portion except the pixel one is formed so that a switching element as shown in Fig. 15 is obtained.

[0045]

Besides, for connection with an electrode of display element (an organic EL element) such as the hole implanting electrode, it is preferable that a connecting metal layer 117 such as TiN is formed between the wiring electrode 114 and the hole implanting electrode 116 in order to improve both connection, for example as shown in Fig. 114.

[0046]

The circuit shown in the embodiment 1 is configured in each pixel by using TFT which is obtained by this method.

[0047]

At this time, a channel length and a channel width of each TFT are designed as shown in the below:

	channel length	channel width
M1	5 $\mu\text{m}$	15 $\mu\text{m}$
M2	5 $\mu\text{m}$	30 $\mu\text{m}$
M3	20 $\mu\text{m}$	20 $\mu\text{m}$
M4	6 $\mu\text{m}$	15 $\mu\text{m}$

[0048]

It is preferable that gate capacities of M1, M2 and M4 are small for reducing noise at switching as well as for obtaining enough ON/OFF ratio.

[0049]

On the other hand, it is preferable that a gate capacity of M3 is large as well as has a large L/W for (1) adding enough voltage to EL and holding VDS voltage proof, for (2) reducing fluctuation of element characteristic, and for (3) reducing an influence of switching noise of M1, M2 and M4.

[0050]

By using TFT which is formed in this way, a driving circuit shown in each embodiment mentioned below is configured.

[0051]

<Embodiment 1>

Fig. 1 is a circuit diagram showing the first situation of a picture display device of the present invention. In the drawing, the first switching element M1, of which control terminal (gate) is connected to a selection line Sel, and of which one end of terminal to be controlled (drain) is connected to one end of display element (cathode), another end of terminal to be controlled (source) of the third switching element M3, and one end of terminal to be controlled (drain) of the second switching element M2. Besides, another end of terminal to be controlled (source) thereof is connected to a video signal line Vid for giving driving signals.

[0052]

Besides, a control terminal (gate) of the third switching element M3 is connected to the selection line Sel, and one end of terminal to be controlled (drain) is connected to a control terminal (gate) of the second switching element M2. Also, another end of terminal to be controlled (gate) thereof is the same way as one end of terminal to be controlled (drain) of said first switching element M1.



Another end of terminal to be controlled (source) of said second switching element is connected to an earthing line Vcom. In addition, the side of one end of terminal to be controlled (drain) thereof is the same way as one end of terminal to be controlled (drain) of said first switching element M1.

[0053]

Besides, a control electrode (gate) of the fourth switching element M4 is connected to the selection line Sel, one end of terminal to be controlled (drain) is connected to another end (anode) of the display element D1, and another end (source) thereof is connected to a power source line VD.

[0054]

In addition, in this embodiment, switching elements of the first to the fourth comprise TFT of c-MOS type, the first switching element M1 is an N-channel, the second switching element M2 is an N-channel, the third switching element M3 is an N-channel, and the fourth switching element M4 is a P-channel respectively.

[0055]

Besides, the power source VD and the earthing line Vcom can supply enough electric current for driving the display element, and are connected to other pixels (display elements) and a power source circuit which are not shown in the drawing. A signal for selecting a display element (pixel) is supplied from the selection line Sel. In this embodiment, the display element D1 emits after selecting a pixel. A driving signal for driving the display element is supplied from the video signal line Vid. This driving signal is supplied as the current signal corresponding to driving current for making the display element emit with the requested luminance. The pixel emits by this driving signal so that the gradation control and the display color control are performed.

[0056]

Next, an operation of circuit having such configuration is explained. By making the selection line Sel H (high level), the first switching element M1 and the third switching element M3 are made to be ON and the fourth switching element M4 is made to be OFF. Simultaneously, from the video signal line Vid, the electric current which is sent to the display element (the organic EL element) D1 as the driving signal is input by the constant current source.

[0057]

At this time, the electric potentials that the first and the third switching elements M1 and M3 can obtain enough I on, and the fourth switching element M4 can obtain enough I off need to be input to each line of the power source line VD, the selection line Sel and the earthing line Vcom. However, the video signal line Vid is the constant current input at the present time, of which electric potential is decided by the element characteristic of the second switching element M2. Each electric potential in the present embodiment is as follows:

Selection line Sel	10V
Video signal line Vid	a maximum of 5V
Power source line VD	10V
Earthing line Vcom	5V

[0058]

At this time, the load characteristic of the second switching element M2 and the constant current source is expressed by Fig. 8-a, and the electric potential of P is  $V_p$ . When the load characteristic of the third switching element M3 is expressed by Fig. 8-b because of fluctuation of element of TFT at this time, the electric potential of P is  $V_p'$ .

[0059]

When the electric current of  $1\mu A$  is made to be sent in the present embodiment, the electric potential of P becomes in the vicinity of 0 to  $-1V$  and has a various value according to the characteristic of element.

[0060]

Next, the first switching element M1 and the third switching element M3 are made to be OFF, and the fourth switching element M4 is made to be ON by making the selection line Sel L (low level).

[0061]

At this time, the electric potentials that the first and the third switching elements M1 and M3 can obtain enough I-off, and the fourth switching element M4 can obtain enough I-on need to be input to each line of the power source line VD, the selection line Sel and the earthing line Vcom. The selection line Sel is varied to  $-5V$  in the present embodiment.

[0062]

By making the third switching element M3 OFF, the gate electric potential of the second switching element M2 of  $V_p$  mentioned above is held. By the load characteristic of the display element D1 and the second switching element M2, the second switching element M2 operates in a saturation region, and almost the same current value as that of driving signal which is input as mentioned above is sent to the display element D1. And at this time, the resistance of the fourth switching element M4 can be left out of consideration because it is enough low compared with those of the display element D1 and the second switching element M2.

[0063]

$V_p$  at the above P point decides the current to send at this time, in spite of being varied by the fluctuation of element, and is sure to send the current of driving signal which is input above to the second switching element M2. Accordingly, a regular quantity of current value can be sent independently with the fluctuation of characteristic of the second switching element M2, and the picture quality can be improved.

[0064]

<Embodiment 2>

An embodiment 2 what the embodiment 1 is developed. In case of realizing a direct view display of which opposite angle is not less than 4 in., a video signal line Vid is led, consequently a parasitic capacity is added. As the resolution of panel becomes high, a writing time per pixel is shortened. And then, because of the influence of parasitic capacity mentioned above, it becomes difficult that the current value to send to each display element is supplied as it is to display element of a target.

[0065]

Accordingly, as shown in Fig. 2, a capacity C1 is provided in series between one end of terminal to be controlled of the first switching element M1 and one end of terminal to be controlled of the second switching element M2. Besides, driving signals for supplying are made to be voltage signals, which are voltage/current-converted by this capacity C1 into current signals, and are supplied to the second switching element M2. The voltage signals are given as the voltage

signals corresponding to the driving current, and are supplied from the voltage source which generates sawlike wave generally. In addition, generally the voltage/current conversion is given as  $I = \Delta V \times C$ .

[0066]

When an rising inclination of sawlike wave voltage is  $\Delta V_r$  (unit: V/S), the current which is sent to the second switching element M2 through C1 in the selection time is  $C1 \times \Delta V_r$ .

[0067]

The other components are the same as those of the embodiment 1, accordingly the same marks are used to identify the portions corresponding to the same components and the explanations are omitted.

[0068]

When the circuit and the driving method which are configured in this way are used, the current value mentioned above is a voltage wave, preferably a wave which is increased as time passes, specifically sawlike wave, so that the driving current can be sent to the second switching element M2 without being influenced by the parasitic capacity of video signal line Vid. Consequently, panel size can be enlarged, correspond to a large-sized display, and the requested current value can be input to each display element even if the resolution becomes high.

[0069]

<Embodiment 3>

An embodiment 3 is what the embodiment 2 is developed. The higher resolution becomes, the smaller an area of each pixel becomes, accordingly the ratio of circuit parts of TFT and the like which occupies in the pixel becomes high. And then, as shown in Fig. 3, a selection TFT which is provided on the side of display element, namely the fourth switching element M4 is disused, and another end (anode) of display element D1 is directly connected to the power source line VD. And then, during the selection time, the electric potential of the power source VD is kept lower than that of P point, accordingly the same condition as the OFF condition of the fourth switching element M4 of the embodiment 1 is made by the diode characteristic which the display element, especially the organic EL element has. That is to say, because an inverse bias is applied to the display element,

especially to the organic EL element, the condition to which the electric current is not sent can be made, and the electric potential at P point can be decided in the same way as the case of selection of the embodiment 1.

[0070]

The other components are the same as those of the embodiment 2, accordingly the same marks are used to identify the portions corresponding to the same components and the explanations are omitted.

[0071]

<Embodiment 4>

An embodiment 4 is what the embodiment 2 is developed. As the resolution becomes high, the first switching element M1, the fourth switching element M4, and the third switching element M3 need switching with high-speed. Accordingly, the influence of switching noise therefor is increased. And then, as shown in Fig. 4, a capacity C2 is added between a control electrode and another end of electrode to be controlled of the second switching element M2 (between gate and source), so that the influence of switching noise is reduced. Consequently, the requested electric current can be sent to the display element (the organic EL element) accurately in spite of high resolution.

[0072]

In addition, it is effective that TFT switches of the first switching element M1, the fourth switching element M4 and the third switching element M3 are changed to transfer gates which are formed by c-MOS in order to reduce switching noise. In this case, because supplying ability as a switch can be improved, and antithetical control signals are supplied to switching elements (TFT) which configure transfer gates, switching noises can be killed each other.

[0073]

The other components are the same as those of the embodiment 2, accordingly the same marks are used to identify the portions corresponding to the same components and the explanations are omitted.

[0074]

<Embodiment 5>

An embodiment 5 is what the embodiment 2 is developed. The organic EL

element which is used preferably as a display element is deteriorated and its efficiency is easy to reduce when a material used in the cathode is exposed to a wet process such as photolithography. And then, as shown in Fig. 5, by changing a configuration of circuit as shown in the present embodiment, the cathode of the organic EL element is made to be common, and separation is disused, so as not to be damaged by the wet process. Consequently, the organic EL element with high efficiency can be used effectively.

[0075]

In the drawings, the first switching element M1, of which control terminal (gate) is connected to the selection line Sel, one end of terminal to be controlled (drain) is connected to one end of capacity C1, and another end of terminal to be controlled (source) is connected to the video signal line Vid for supplying driving signals.

[0076]

Besides, a control terminal (gate) of the third switching element M3 is connected to the selection line Sel, another end of terminal to be controlled (source) is connected to another end of the capacity C1, another end of terminal to be controlled (source) of the fourth switching element M4, and one end of terminal to be controlled (drain) of the second switching element M2. Also, one end of terminal to be controlled (drain) thereof is connected to a control terminal (gate) of the second switching element M2.

[0077]

Another end of terminal to be controlled (source) of said second switching element M2 is connected to the power source line VD, and one end of terminal to be controlled (drain) thereof is the same as another end of terminal to be controlled (source) of said third switching element M3.

[0078]

Besides, a control electrode (gate) of the fourth switching element M4 is connected to a selection line Sel, one end of terminal to be controlled (drain) is connected to another end of the display element D1 (anode), and another end (source) thereof is the same way as another end of terminal to be controlled (source) of said third switch element M3. And, one end (cathode) of the display element

D1 is connected to the earthing line Vcom.

[0079]

Next, an operation of circuit having such configuration is explained. The first switching element M1 and the third switching element M3 are made to be ON, and the fourth switching element M4 is made to be OFF by which the selection line Sel is made to be H. Simultaneously from the video signal line Vid, voltage signals corresponding to the electric current to send to the display element (the organic EL element) D1 as driving signals are input in the same way as the embodiment 2. In this case, a direction of signals is reverse to that of the above embodiment 2 mentioned above, that is to say it is the minus side.

[0080]

At this time, the electric potentials which the first and the third switching elements M1 and M3 can obtain enough I-on, and the fourth switching element M4 can obtain enough I-off must be input to each line of power source line VD, selection line Sel, and earthing line Vcom. However, the video signal line Vid is the constant current input, and the electric potential is decided by the element characteristic of the second switching element M2. Each electric potential is as follows in the present embodiment:

selection line Sel	10V
video signal line Vid	a minimum of 0V
power source line VD	10V
earthing line Vcom	-5V

[0081]

Next, the first switching element M1 and the third switching element M3 are made to be OFF and the fourth switching element M4 is made to be ON by which the selection line Sel is made to be L.

[0082]

At this time, the electric potentials which the first and the third switching elements M1 and M3 can obtain enough I-off, and the fourth switching element M4 can obtain enough I-on must be input to each line of power source line VD, selection line Sel, and earthing line Vcom. The selection line Sel is varied to 0V in the present embodiment.

[0083]

The gate electric potential  $V_p$  of the second switching element M2 is held in the same way as the embodiment 2 by which the third switching element M3 is made to be OFF. According to the load characteristic of the display element D1 and the second switching element M2 at this time, the second switching element M2 operates in a saturation region, and almost the same current value as that one corresponding to the driving signals which are input above is sent to the display element D1.

[0084]

<Embodiment 6>

An embodiment 6 is what the embodiment 5 is developed. As shown in Fig. 6, the area which circuit parts occupy in pixel can be reduced by reducing the fourth switching element M4, namely one TFT, in the same way as the embodiment 3. At this time, in the same way as the embodiment 3, the display element, especially the organic EL element is made to be inverse bias condition by controlling the value of  $V_{com}$  between selection.

[0085]

The other components are the same as those of the embodiment 5, accordingly the same marks are used to identify the portions corresponding to the same components and the explanations are omitted.

[0086]

[Effects of the invention]

As above mentioned, according to the present invention, the adverse effect of characteristic fluctuation caused by poly-silicon grain diameters can be eliminated and the fluctuation of the display surface can be reduced.

[Brief Description of the Drawings]

Fig. 1 is a circuit diagram showing the first situation of a picture display device of the present invention.

Fig. 2 is a circuit diagram showing the second situation of a picture display device of the present invention.

Fig. 3 is a circuit diagram showing the third situation of a picture display device of



the present invention.

Fig. 4 is a circuit diagram showing the fourth situation of a picture display device of the present invention.

Fig. 5 is a circuit diagram showing the fifth situation of a picture display device of the present invention.

Fig. 6 is a circuit diagram showing the sixth situation of a picture display device of the present invention.

Fig. 7 is an equivalent circuit diagram explaining an operation of the third switching element.

Fig. 8 is a graph showing the I/V characteristic of the third switching element.

Fig. 9 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 10 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 11 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 12 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 13 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 14 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 15 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 16 is a schematic cross sectional view showing one manufacturing process of TFT which configures a picture display device of the present invention.

Fig. 17 is a block configurational diagram showing one example of the conventional active matrix type organic EL display device.

Fig. 18 is a circuit diagram enlarging the A-portion of Fig. 17.

[Description of the Reference Numerals and Signs]

M1      the first switching element

M2 the second switching element  
M3 the third switching element  
M4 the fourth switching element  
D1 display element  
C1, C2 capacity  
Vid video signal line  
Sel selection line  
VD power source line  
Vcom earthing line  
101 substrate  
102 silicon oxide film  
103 amorphous silicon layer  
103a active layer  
104 gate oxide film  
105 gate electrode